

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0081442  
Application Number

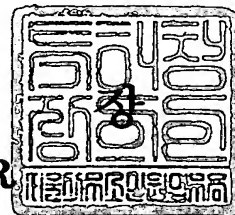
출원년월일 : 2002년 12월 18일  
Date of Application DEC 18, 2002

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003    년    05    월    20    일

특    허    청  
COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002. 12. 18
【국제특허분류】	G02F 1/133
【발명의 명칭】	인쇄방식에 의한 패턴형성방법
【발명의 영문명칭】	METHOD OF FORMING PATTERN USING PRINTING PROCESS
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-055150-5
【발명자】	
【성명의 국문표기】	백명기
【성명의 영문표기】	BAEK, Myoung Kee
【주민등록번호】	720205-1552815
【우편번호】	156-807
【주소】	서울특별시 동작구 대방동 41번지 신한토달아파트 407호
【국적】	KR
【발명자】	
【성명의 국문표기】	박권식
【성명의 영문표기】	PARK, Kwon Shik
【주민등록번호】	690829-1120038
【우편번호】	135-855
【주소】	서울특별시 강남구 도곡2동 464번지 개포한신아파트 3동 407호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 556,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 인쇄방식을 통한 액정표시소자의 패턴형성방법에 관한 것으로, 특히 액정표시소자의 패시베이션 콘택홀 형성시 보호층이 형성된 기판을 준비하는 단계와, 상기 기판 상에 SAM층을 형성하는 하는 단계와, 부분적으로 블록부가 형성된 마스터를 준비하는 단계와, 상기 마스터의 블록부가 기판에 접촉할 때까지 압력을 가하는 단계 및 상기 마스터를 기판으로부터 떼어내는 단계로 구성되며, 상기와 같은 SAM물질을 이용하여 마이크로 컨택(micro contact) 인쇄법 사용함으로써, 콘택홀과 같은 미세한 패턴을 정확하게 형성할 수 있다.

**【대표도】**

도 5b

## 【명세서】

## 【발명의 명칭】

인쇄방식에 의한 패턴형성방법{METHOD OF FORMING PATTERN USING PRINTING PROCESS}

## 【도면의 간단한 설명】

도 1은 일반적인 액정표시소자의 구조를 나타내는 평면도.

도 2는 도 1에 도시된 액정표시소자의 박막트랜지스터 및 스토리지 커패시터의 구조를 나타내는 도면으로 I-I'의 단면도.

도 3은 본 발명의 인쇄방식에 의한 패턴형성방법을 나타내는 도면.

도 4는 식각 대상층이 보호층인 경우, 콘택홀 형성시 발생될 수 있는 불량을 도시한 평면도.

도 5는 본 발명의 마이크로 콘택 인쇄방식에 의한 콘택홀 형성방법을 나타내는 도면.

도 6은 SAM(Self Assembled Monolayer)의 구조를 나타내는 도면.

도 7은 본 발명의 마이크로 콘택 인쇄방식에 의한 콘택홀 형성방법으로써, 마스터에 SAM층을 직접 형성한 후, 이를 기판에 인쇄하는 방법을 나타내는 도면.

\*\*\*\* 도면의 주요부분에 대한 부호의 설명 \*\*\*\*

200, 300 : 기판      205, 305: 보호층

210, 310: SAM층      210a, 310a: SAM 패턴

220, 320: 마스터      230: SAM

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12>        본 발명은 인쇄방식에 의한 패턴형성방법에 관한 것으로, 특히 액정표시소자의 콘택홀과 같은 미세한 패턴을 불량없이 정확하게 형성하기 위한 패턴형성방법에 관한 것이다.
- <13>        표시소자들, 특히 액정표시소자(Liquid Crystal Display Device)와 같은 평판표시장치(Flat Panel Display)에서는 각각의 화소에 박막트랜지스터와 같은 능동소자가 구비되어 표시소자를 구동하는데, 이러한 방식의 표시소자의 구동방식을 흔히 액티브 매트릭스(Active Matrix) 구동방식이라 한다. 이러한 액티브 매트릭스방식에서는 상기한 능동소자가 매트릭스형식으로 배열된 각각의 화소에 배치되어 해당 화소를 구동하게 된다.
- <14>        도 1은 액티브 매트릭스방식의 액정표시소자를 나타내는 도면이다. 도면에 도시된 구조의 액정표시소자는 능동소자로서 박막트랜지스터(Thin Film Transistor)를 사용하는 TFT-LCD이다. 도면에 도시된 바와 같이, 종횡으로 배열된 게이트 라인(2)과 데이터 라인(4)이 화소 영역을 정의한다. 상기 게이트 라인(2)과 데이터 라인(4)의 교차점 부근에는 각 화소의 구동을 독립적으로 제어하기 위한 박막트랜지스터(10)가 형성되어 있으며, 박막트랜지스터(10)는 상기 게이트 라인(2)과 연결된 게이트 전극(2a)과, 상기 게이트 전극(2a) 위에 형성되어 게이트 전극(2a)에 주사신호가 인가됨에 따라 활성화되는 반도체층(5)과, 상기 반도체층(5) 위에 형성된 소스/드레인 전극(4a/4b)으로 구성된다. 상기 화소 영역에는 상기 소스/드레인 전극(4a/4b)과 연결되어 반도체층(5)이 활성화됨에 따

라 상기 소스/드레인 전극(4a/4b)을 통해 화상신호가 인가되어 액정(도면표시하지 않음)을 동작시키는 화소 전극(7)이 형성되어 있으며, 화소 전극(7)은 제 1콘택홀(8a)을 통하여 드레인 전극(4b)과 접속한다.

<15> 한편, 게이트 라인(2)과 데이터 라인(4)에 의해서 구획된 화소 내에는 스토리지 라인(6)과 상기 스토리지 라인(6)과 중첩하는 스토리지 전극(11)이 배치되어 스토리지 커패시터(Cst)를 형성하고 있으며, 상기 스토리지 전극은 제 2콘택홀(8b)을 통하여 화소 전극(7)과 접속한다.

<16> 도 2는 도 1의 I-I' 절단면으로 화소 내에 배치되는 박막트랜지스터(10) 및 스토리지 커패시터(Cst)의 구조를 나타낸 도면이다. 도면에 도시된 바와 같이, 상기 박막트랜지스터(10)는 유리와 같은 투명한 절연물질로 이루어진 기판(1)과, 상기 기판(1) 위에 형성된 게이트 전극(2a)과, 게이트 전극(2a)이 형성된 기판(1) 전체에 걸쳐 적층된 게이트 절연층(13)과, 상기 게이트 절연층(13) 위에 형성되어 게이트 전극(2a)에 신호가 인가됨에 따라 활성화되는 반도체층(5)과, 상기 반도체층(5) 위에 형성된 소스/드레인 전극(4a/4b)과, 상기 소스/드레인 전극(4a/4b) 위에 형성되어 소자를 보호하는 보호층(passivation layer; 15)으로 구성되어 있으며, 그 상부에는 제 1콘택홀(8a)을 통하여 드레인 전극(4b)과 접속하는 화소 전극(7)이 형성되어 있다.

<17> 상기와 같은 박막트랜지스터(10)의 소스/드레인 전극(4a/4b)은 화소 내에 형성된 화소 전극과 전기적으로 접속되어, 상기 소스/드레인 전극(4a/4b)을 통해 화소 전극에 신호가 인가됨에 따라 액정을 구동하여 화상을 표시하게 된다.

<18> 한편, 상기 스토리지 커패시터(Cst)는 박막트랜지스터의 게이트 전극(2a)과 함께 형성된 스토리지 라인(6)과, 소스/드레인 전극(4a/4b)과 함께 형성된 스토리지 전극(11)

및 그 사이에 형성된 게이트 절연막(13)으로 구성되며, 상기 스토리지 전극(11) 상에는 보호층(15)이 형성되어 있다. 그리고, 상기 보호층(15)에는 스토리지 전극(11)의 일부를 노출시키는 제 2콘택홀(8b)이 형성되어 있으며, 상기 제 2콘택홀(8b)을 통하여 보호층(15) 상에 형성된 화소 전극(7)과 전기적으로 접속한다. 스토리지 커패시터(Cst)는 게이트 전극에 게이트 신호가 인가되는 동안 게이트 전압을 충전한 후, 다음 게이트 라인 구동시 화소 전극(7)에 데이터 전압이 공급되는 동안 충전된 전압을 방전하여 화소 전극(7)의 전압 변동을 방지하는 역할을 한다. 이때, 상기 드레인 전극(4b) 및 스토리지 전극(11)을 화소 전극(7)과 전기적으로 연결하는 제 1 및 제 2콘택홀(8a, 8b)의 크기는 수  $\mu\text{m}$  이다.

<19>       상기한 바와 같은 액정표시소자는 포토 마스크 공정에 의해서 제작되며, 포토 마스크 공정은 포토레지스트(Photo-Resist) 도포, 정렬 및 노광, 현상, 세정 등 일련의 연속 공정으로 이루어진다. 특히 노광 공정은 마스크를 제 위치에 배치하고, 마스크와 기판의 얼라인 키를 맞춰 정렬하고 광원을 조사하는 공정이 차례로 진행되는데, 이때, 노광 장비의 한계로 인하여 정확한 얼라인이 이루어지기 힘들다. 따라서, 고도의 정밀함이 요구되는 미세패턴을 형성하는데 한계가 있으며, 다수회의 포토공정을 반복해야만 하기 때문에 생산성이 저하된다는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<20>       따라서, 본 발명은 상기한 문제를 해결하기 위한 것으로, 인쇄방식에 의해 한번의 공정으로 액정표시소자에 패턴을 형성할 수 있는 패턴형성방법을 제공하는 것을 목적으로 한다.



<21> 본 발명의 다른 목적은 액정표시소자의 패시베이션 콘택홀과 같은 미세한 패턴 형성시 마이크로 콘택 인쇄법을 적용하여 미세한 패턴을 형성할 수 있는 패턴형성방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기한 목적을 달성하기 위한 본 발명의 패턴형성방법은 기판에 형성하고자 하는 패턴과 대응하는 위치에 오목한 홈이 형성된 클리체를 준비하는 단계와; 상기 클리체의 오목한 홈 내부에 레지스트를 충전하는 단계와; 상기 오목한 홈에 충전된 레지스트를 인쇄물에 전사시킨 후, 이를 다시 기판 상에 재전사 시키는 단계로 이루어지며, 이후에, 상기 인쇄물에 의해서 전사된 레지스트 패턴을 마스크로 하여 기판의 식각공정이 진행된다. 이때, 상기 기판의 식각 대상층은 금속층,  $\text{SiO}_x$  또는  $\text{SiN}_x$ 로 이루어진 절연층, 반도체층이 될 수 있다. 이와 같이, 포토 마스크 공정을 생략하고 한번의 인쇄공정으로 마스크 패턴을 형성함에 따라 공정을 더욱 단순화 할 수 있다.

<23> 또한, 본 발명은 콘택홀과 같은 수  $\mu\text{m}$  이하의 미세한 패턴을 형성하는 경우 식각 대상층에 수십 Å 두께의 레지스트를 균일하게 도포한 다음, 마스터를 사용하여 그 상부에 선택적으로 물리적인 압력을 인가하는 마이크로 콘택 인쇄법을 사용함으로써, 기판 상에 수십 Å 두께를 가지는 레지스트 패턴을 형성할 수 있다. 이때, 사용되는 레지스트는 SAM(Self Assembled Monolayer)이며, 이물질은 에탄올 속에 용해되어 있다가 식각 대상층을 상기 약액속에 집어 놓고 코팅 처리를 하게 되면 식각 대상층 상에 수십 Å 두께의 막이 형성된다. 이와 같이, 본 발명의 마이크로 콘택 인쇄법은 수십 Å 두께의 마스크 패턴을 사용하기 때문에 미세 패턴을 형성하는데 더욱 유리하다.

- <24> 이하, 첨부한 도면을 참조하여 본 발명에 따른 패턴형성방법에 대해 상세히 설명한다.
- <25> 도 3은 본 발명에 따른 인쇄방식을 이용하여 기판 상에 레지스트 패턴을 형성하는 방법을 나타내는 도면이다. 인쇄방식에서는 우선, 도 3a에 도시한 바와 같이, 기판에 형성하고자 하는 패턴과 대응하는 위치에 오목한 홈(101)이 형성된 클리체(100)를 준비한 다음, 그 상부에 레지스트(103)를 도포한다. 이후에 닥터블레이드(110)를 사용하여 클리체(100)의 표면에 접촉시킨 후, 이를 평평하게 밀어줌으로써, 홈(101) 내부에 레지스트(103)가 충전됨과 동시에 클리체(100) 표면에 남아 있는 레지스트는 제거된다.
- <26> 도 3b에 도시된 바와 같이, 상기 클리체(100)의 홈(101) 내부에 충전된 레지스트(104)는 상기 클리체(100)의 표면에 접촉하여 회전하는 인쇄롤(120)의 표면에 전사된다. 상기 인쇄롤(110)은 제작하고자 하는 표시소자의 패널의 폭과 동일한 폭으로 형성되며, 패널의 길이와 동일한 길이의 원주를 갖는다. 따라서, 1회의 회전에 의해 클리체(100)의 홈(101)에 충전된 잉크(103)가 모두 인쇄롤(120)의 원주 표면에 전사된다.
- <27> 이후, 도 3c에 도시된 바와 같이, 상기 인쇄롤(120)에 전사된 레지스트(105)를 기판(130) 위에 형성된 식각대상층(131)의 표면과 접촉시킨 상태에서 인쇄롤(120)을 회전시킴에 따라 상기 인쇄롤(120)에 전사된 레지스트(104)가 식각대상층(131)에 전사되며, 이 전사된 레지스트에 UV 조사 또는 열을 가하여 건조시킴으로써 레지스트 패턴(107)을 형성한다. 이때에도 상기 인쇄롤(120)의 1회전에 의해 표시소자의 기판(120) 전체에 걸쳐 원하는 패턴(107)을 형성할 수 있게 된다.

- <28>      상기한 바와 같이, 인쇄방식에서는 클리체(100)와 인쇄롤(120)을 원하는 표시소자의 크기에 따라 제작할 수 있으며, 1회의 전사에 의해 기판(130)에 패턴을 형성할 수 있으므로, 대면적 표시소자의 패턴도 한번의 공정에 의해 형성할 수 있게 된다.
- <29>      상기 식각대상층은(131)은 박막트랜지스터의 게이트 전극이나 소스/드레인 전극, 게이트 라인, 데이터 라인 혹은 화소전극 및 스토리지 전극과 같은 금속패턴을 형성하기 위한 금속층 또는 반도체층일수 있으며,  $SiO_x$ 나  $SiN_x$ 와 같이 절연층일 수도 있다.
- <30>      금속층이나 절연층 위에 상기와 같은 레지스트 패턴(107)을 형성한 후 일반적인 에칭공정에 의해 금속층이나 절연층을 식각함으로써 원하는 패턴의 금속층(즉, 전극구조)이나 절연층(예를 들면, 콘택홀 등)을 형성할 수 있게 된다.
- <31>      상기와 같이 인쇄방식은 1회의 공정에 의해 레지스트 패턴을 생성할 수 있으며, 특히, 종래의 포토 마스크 공정에 비해 공정이 단순하고 공정시간을 단축 할 수 있다는 장점을 가진다.
- <32>      그런데, 상기와 같은 인쇄방식도 콘택홀과 같은 수  $\mu m$ 의 미세 패턴을 형성하는데 있어서 패턴의 불량을 초래하는 문제가 있었다. 즉, 종래 기술에서도 설명한 바와 같이, 박막트랜지스터의 상부에는 박막트랜지스터의 드레인 전극 및 스토리지 전극의 일부를 노출시키는 콘택홀이 형성되어 있으며, 이 콘택홀을 통하여 보호막 위에 형성된 화소 전극이 드레인 전극 및 스토리지 전극과 전기적으로 접속하게 된다. 그러나, 콘택홀은 그 크기가 수  $\mu m$ 이기 때문에 상기와 같은 인쇄법으로는 정확한 패턴을 형성하기가 어렵다. 이를 좀더 상세히 설명하면, 상기 콘택홀을 형성하기 위해서는 도 4에 도시한 바와 같이 콘택홀 영역(155)을 제외한 보호막(150) 상에 레지스트(160)를 형성해야 하며, 상기 레지스트(160)를 마스크로 하여 노출된 보호막(150a)을 식각함에 따라 콘택홀이 형성된다.

상기 레지스트(160)는 인쇄물(미도시)이 보호막(160) 위를 회전함과 동시에 형성되는데, 이때, 상기 인쇄물은 보호막(160)에 어느 정도 압력을 인가하게 된다. 이에 따라 상기 콘택홀과 같은 미세한 패턴의 경우 확대도면에 나타난 바와 같이 콘택홀 영역(155) 내부에까지 레지스트(160)가 번지게 된다. 심할 때에는 상기 콘택홀 영역(155)이 레지스트(160)에 의해서 완전히 메워지는 경우도 발생하게 된다.

<33> 이와 같이, 콘택홀 패턴이 제대로 형성되지 않으면, 보호막의 식각이 제대로 이루어지지 않게 된다. 이에 따라, 드레인 전극 및 스토리지 전극과 화소 전극과의 접속이 이루어지지 않아 박막트랜지스터의 구동에 불량을 발생시키게 된다.

<34> 본 발명에서는 특히 이러한 문제를 해결하기 위해, 콘택홀과 같은 미세한 패턴을 형성할 수 있는 인쇄방법을 제공한다.

<35> 상기와 같은 문제를 해결할 수 있는 본 발명의 인쇄방법은 보호층이 형성된 기판 위에 수십 Å 두께의 SAM(Self Assembled Monolayer)을 균일하게 도포한 다음, 미리 제작된 마스터를 사용하여 상기 SAM층에 물리적인 압력을 인가하여 보호막상에 선택적으로 잔존하는 SAM 패턴을 형성한 후, 상기 SAM 패턴을 마스크로 하여 보호막의 일부를 식각함으로써 콘택홀을 형성한다.

<36> 도 5는 상기와 같은 마이크로 콘택 인쇄방법을 통한 본 발명의 콘택홀 형성방법을 나타낸 것이다. 먼저, 도 5a에 도시한 바와 같이, 기판(200) 상에 형성된 보호층(205) 위에 SAM층(210)을 균일한 두께로 형성한다. 도면에 도시하지는 않았지만, 상기 기판에는 소스/드레인 전극 및 스토리지 전극과 같은 금속패턴들이 이미 형성되어 있다. 상기 SAM층(210)은 SAM 분자가 용해되어 있는 에탄올(ethanol) 용기 속에 보호층(205)을 담금으로써, 상기 보호층(205) 위에 수십 Å 두께의 SAM층(210)이 형성된다.

- <37> 도 6은 Au 또는 SiO<sub>2</sub> 위에 SAM층이 형성된 모습을 나타낸 것으로, 도면에 도시한 바와 같이, SAM(250)은 헤드부(head;250a)와 테일부(tail;250b)로 나누어지며, 상기 헤드부(250a)가 기판(230)에 안착하게 되면 이어서 테일부(250b)가 생성된다. 특히, SAM은 Au 또는 SiO<sub>2</sub> 위에 잘 형성되기 때문에 상기 보호층으로 SiO<sub>2</sub>와 같은 무기물질을 사용하게 되면 SAM층을 형성하는데 더욱 유리하다.
- <38> 상기와 같은 방법을 통하여 보호층(205)에 SAM층(210)을 형성한 후, 도 5b 및 5c에 도시한 바와 같이, 블록부(220a)와 오목부(220b)가 형성된 마스터(220)를 준비한 다음, 이를 SAM층(210)에 접촉시킨 후, 압력을 가한다. 이때 마스터(220)의 블록부(220b)가 기판(200)과 접촉할 정도까지의 압력을 인가해야 하며, 그 이상의 압력을 인가하게 되면 상기 마스터(220)에 의해서 기판(200)에 손상을 입히게 되므로 주의해야 한다. 이어서, 상기 마스터(220)를 기판으로부터 떼어내게 되면, 도 5d에 도시한 바와 같이, 선택적으로 잔존하는 SAM 패턴(210a)이 형성된다. 상기 블록부(220a)에 대응하는 SAM은 제거되는 영역으로 이후에 콘택홀이 형성될 영역이고, 오목부(220b) 영역에 형성된 SAM 패턴(210a)은 상기 콘택홀을 형성하기 위한 마스크로 사용된다. 도 5e는 도 5d의 평면도를 나타낸 것으로, 콘택홀을 형성하기 위한 SAM 패턴(210a)의 경계가 명확하고 상기 SAM 패턴(210a)을 마스크로 하여 보호막(205)을 식각했을 때, 정확한 콘택홀을 형성할 수가 있다. 이에 따라, 드레인 전극 및 스토리지 전극과 화소 전극과의 접속 불량을 막아 정상적인 박막트랜지스터의 구동을 가능하게 한다.
- <39> 한편, 본 발명의 다른 실시예로 기판에 직접 SAM을 형성하는 대신 마스터의 블록부에 SAM을 형성한 후, 이를 기판에 찍어냄으로써, 기판에 SAM 패턴을 형성할 수도 있다.

<40> 도 7은 마스터에 SAM을 도포한 후, 이를 기판에 찍어내는 공정을 도시한 도면으로, 먼저, 도 7a와 같이 기판(300) 위에  $\text{SiO}_x$ 와 같은 무기물질을 증착하여 보호층(305)을 형성한다. 도 7b에 도시한 바와 같이, 블록부(320a)와 오목부(320b)가 형성된 마스터(master)를 준비한 다음, 상기 마스터(320)를 SAM 분자가 용해된 에탄올 용액에 잠근 후, 상기 블록부(320a)의 표면에 수십 A 두께의 SAM층(310)을 형성한다. 이후, 도 7c 및 도 7d에 도시한 바와 같이, 상기 마스터(320)의 블록부(320a)에 형성된 SAM층(310)을 보호층(305) 위에 접촉시킨 뒤, 마스터(320)를 기판(300)으로부터 떼어냄으로써, 마스터(320)에 형성된 SAM층(310)을 기판(300)에 그대로 전사시킴으로써 보호막(305) 상에 잔존하는 SAM 패턴(310a)을 형성한다. 이때, 상기 블록부(320a)에 대응하는 영역에는 SAM 패턴(310a)이 형성되지만, 오목부(320a)에 대응하는 영역에는 보호층(305)이 그대로 노출된 상태이다. 이때, 노출된 보호막(305)의 폭은 수  $\mu\text{m}$ 이다. 이후에, 상기 SAM 패턴(310a)을 마스크로 하여 노출된 보호층(305)을 식각함으로써, 금속패턴(예를 들면, 드레인 전극, 스토리지 전극등)을 노출시키는 콘택홀을 형성할 수도 있다.

<41> 실질적으로, 보호층에 형성되는 콘택홀은 드레인 전극 및 스토리지 전극을 노출시키는 것 이외에도 외부 회로와 연결시키기 위해 게이트 라인 및 데이터 라인의 끝단에 형성된 게이트 패드와 데이터 패드 콘택홀을 포함한다. 따라서, 불량이 없는 정상적인 콘택홀을 형성해야만 액정표시소자가 외부로부터의 신호를 제대로 인가받을 수 있다.

**【발명의 효과】**

<42> 상술한 바와 같이, 본 발명에서는 표시소자 등의 패턴 특히 콘택홀과 같은 수  $\mu\text{m}$ 의 미세패턴 형성시 SAM물질을 이용한 마이크로 콘택 인쇄법을 사용하여 원하는 패턴을 정확하게 형성함으로써 액정표시소자의 구동을 불량을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

식각대상층이 형성된 기판을 준비하는 단계와;

상기 기판 상에 레지스트막을 형성하는 단계와;

부분적으로 블록패턴이 형성된 마스터를 준비하는 단계와;

상기 마스터의 블록패턴이 기판에 접촉할 때까지 압력을 가하는 단계와;

상기 마스터를 기판으로부터 떼어냄으로써, 상기 마스터의 블록부가 접촉하는 기판 영역을 제외한 나머지 영역에 부분적으로 잔존하는 레지스트 패턴을 형성하는 단계로 구성된 것을 특징으로 하는 패턴형성방법.

**【청구항 2】**

제 1항에 있어서, 상기 기판을 준비하는 단계는

투명한 기판 상에 게이트 전극 및 게이트 라인을 형성한 후, 그 상부에 게이트 절연막을 도포하는 단계와;

상기 게이트 절연막 상에 반도체층을 형성한 후, 그 상부에 소스/드레인 전극 및 데이터 라인을 형성하는 단계와;



상기 소스/드레인 전극 및 데이터 라인이 형성된 기판 전면에 보호막을 형성하는 단계로 이루어지는 것을 특징으로 하는 패턴형성방법.

**【청구항 3】**

제 1항에 있어서, 상기 레지스트막은 SAM(Self Aligned Monolayer)물질로 형성하는 것을 특징으로 하는 패턴형성방법.

**【청구항 4】**

제 3항에 있어서, 상기 SAM물질의 형성방법은 SAM분자를 에탄올 속에 용해시키는 단계와, 상기 SAM분자가 용해된 용액속에 기판을 담그는 단계와, 상기 용액으로부터 기판을 꺼내는 단계로 이루어지는 것을 특징으로 하는 패턴형성방법.

**【청구항 5】**

제 4항에 있어서, 상기 SAM층은 수십 Å두께로 형성하는 것을 특징으로 하는 패턴형성방법.

**【청구항 6】**

제 1항에 있어서, 상기 식각대상층은  $\text{SiO}_x$  또는  $\text{SiN}_x$ 로 이루어진 절연층을 포함하는 것을 특징으로 하는 패턴형성방법.

**【청구항 7】**

제 1항에 있어서, 상기 식각대상층은 반도체층인 것을 특징으로 하는 패턴형성방법.

**【청구항 8】**

제 1항에 있어서, 상기 식각대상층은 금속층인 것을 특징으로 하는 패턴형성방법.

**【청구항 9】**

식각대상층이 형성된 기판을 준비하는 단계와;

부분적으로 블록패턴이 형성된 마스터를 준비하는 단계와;

상기 마스터의 블록패턴이 표면에 레지스트막을 형성하는 단계와;

상기 마스터를 기판에 접촉시킨 후, 기판으로부터 떼어냄으로써, 상기 마스터의 블록부와 접촉하는 기판영역에 부분적으로 잔존하는 레지스트 패턴을 형성하는 단계로 구성된 것을 특징으로 하는 패턴형성방법.

**【청구항 10】**

제 9항에 있어서, 상기 레지스트막은 SAM(Self Aligned Monolayer)물질로 형성하는 것을 특징으로 하는 패턴형성방법.

**【청구항 11】**

기판 상에 식각대상층을 형성하는 단계와;

상기 식각대상층 상에 SAM층을 형성하는 단계와;

부분적으로 블록패턴이 형성된 마스터를 준비하는 단계와;

상기 마스터의 블록패턴을 식각대상층에 접촉시킨 후, 이를 기판에 닿을 때까지 눌러주는 단계와;

상기 마스터를 기판으로 떼어냄으로써, 블록패턴을 제외한 나머지 영역의 식각대상층 상에 선택적으로 잔존하는 SAM패턴을 형성하는 단계와;

상기 SAM패턴을 마스크로 하여 식각대상층을 식각하는 단계로 구성된 것을 특징으로 하는 패턴형성방법.

**【청구항 12】**

제 11항에 있어서, 상기 식각대상층은  $\text{SiO}_x$ 층으로 이루어진 것을 특징으로 하는 패턴 형성방법.

**【청구항 13】**

기판 상에 식각대상층을 형성하는 단계와;

상기 식각대상층의 패턴을 형성하고자 하는 위치와 대응하는 영역에 블록패턴이 형성된 마스터를 준비하는 단계와;

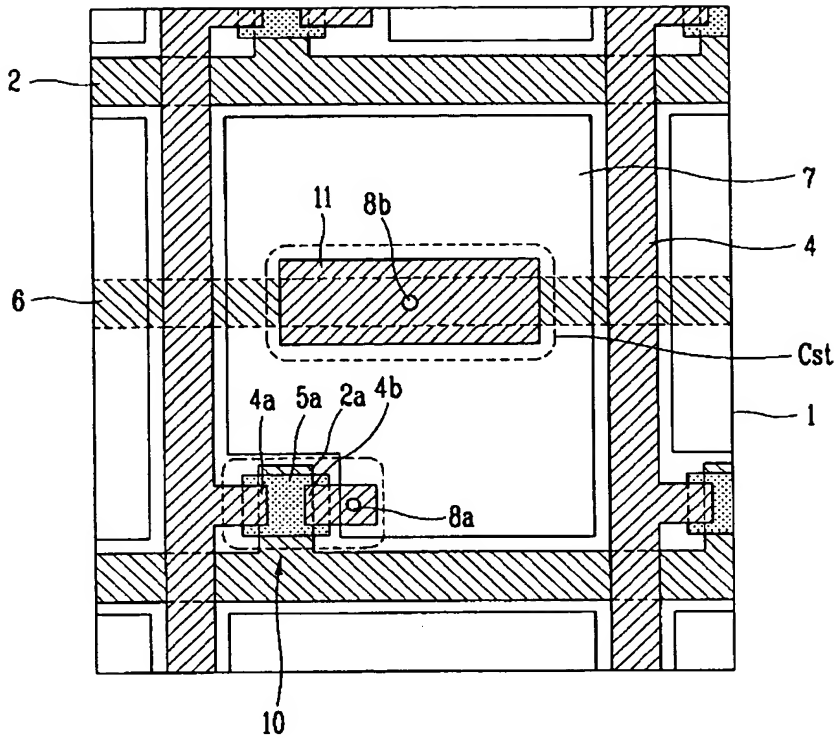
상기 마스터의 블록패턴의 표면에 SAM층을 형성하는 단계와;

상기 마스터의 블록패턴에 형성된 SAM층을 식각대상층에 찍어냄으로써, 식각대상층에 선택적으로 잔존하는 SAM패턴을 형성하는 단계와;

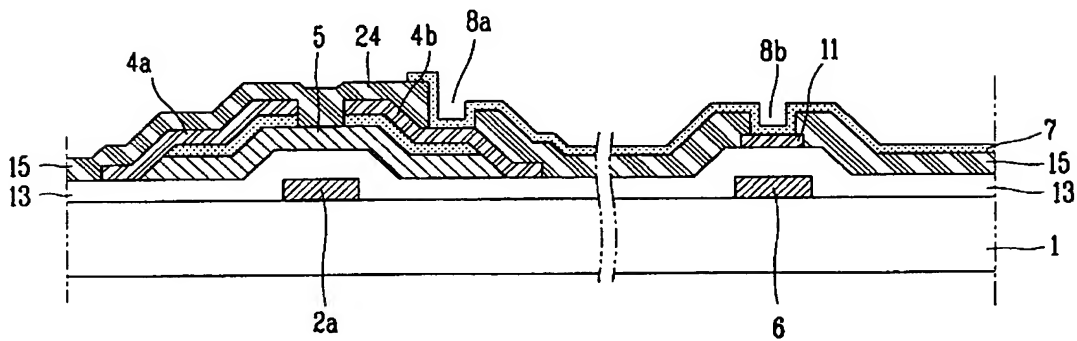
상기 SAM패턴을 마스크로 하여 식각대상층을 식각하는 단계로 구성된 것을 특징으로 하는 패턴형성방법.

【도면】

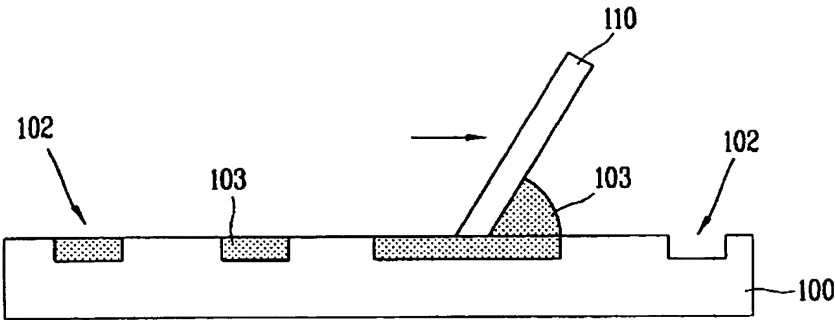
【도 1】



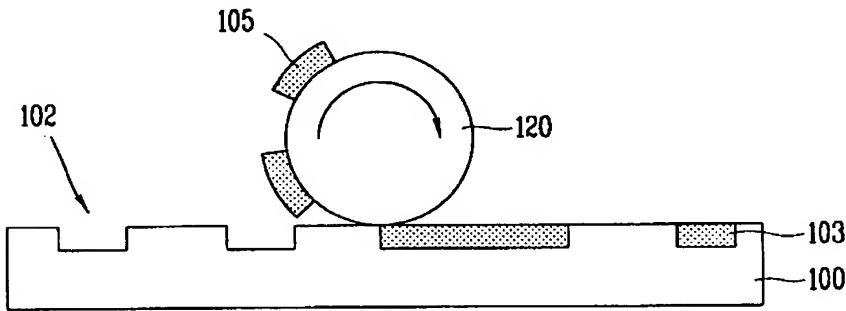
【도 2】



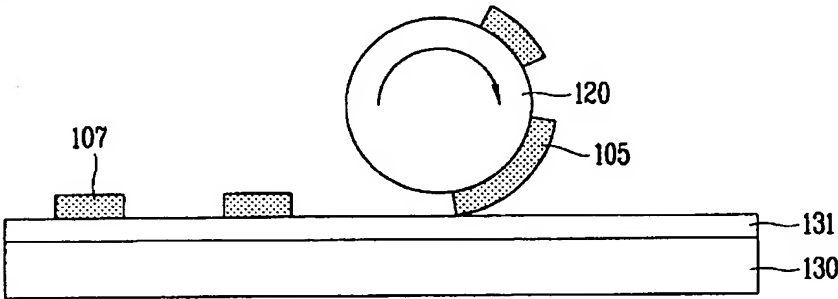
【도 3a】



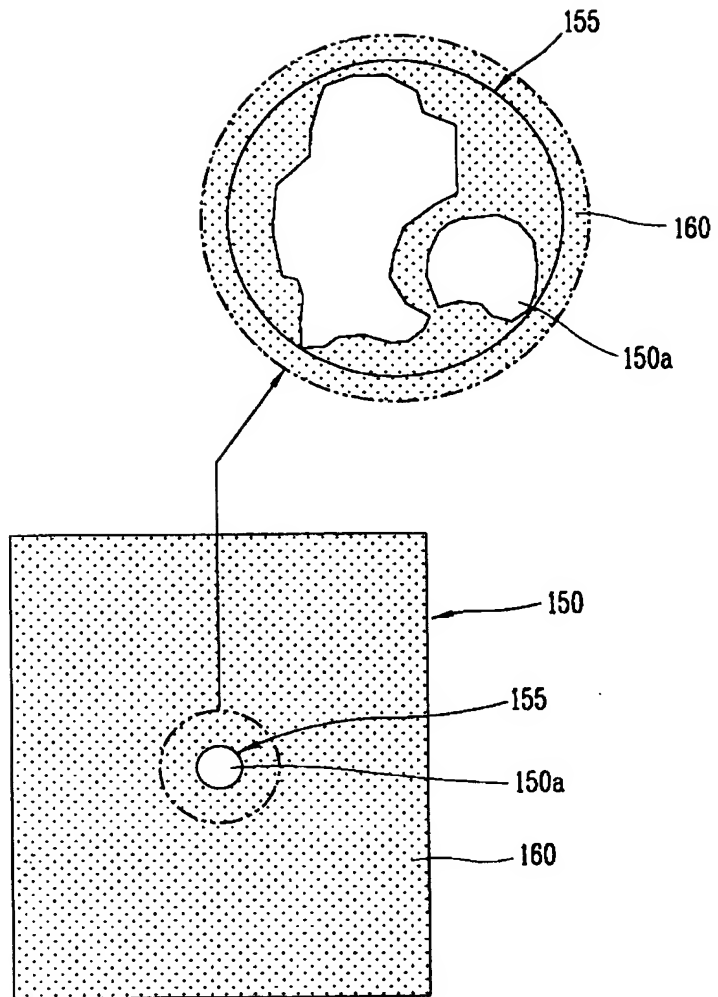
【도 3b】



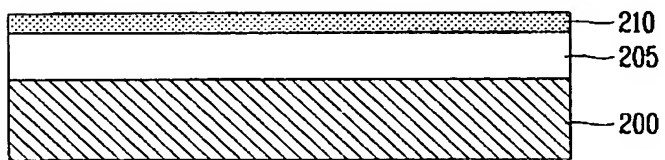
【도 3c】



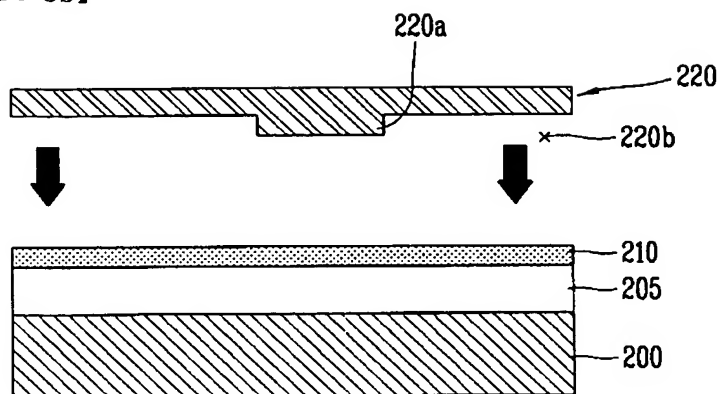
【도 4】



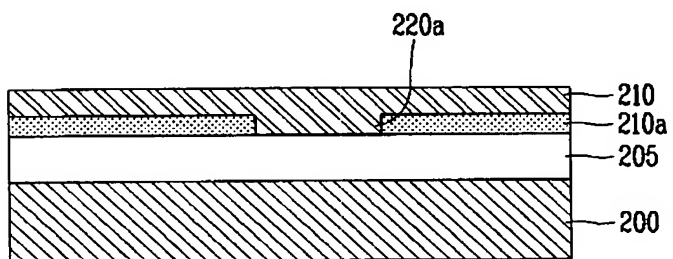
【도 5a】



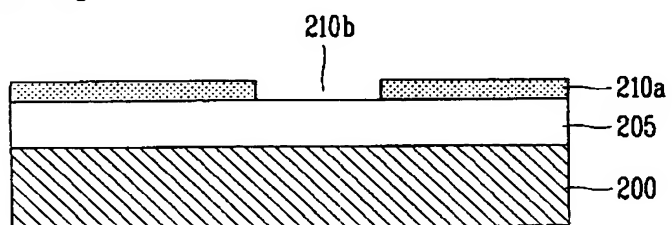
【도 5b】



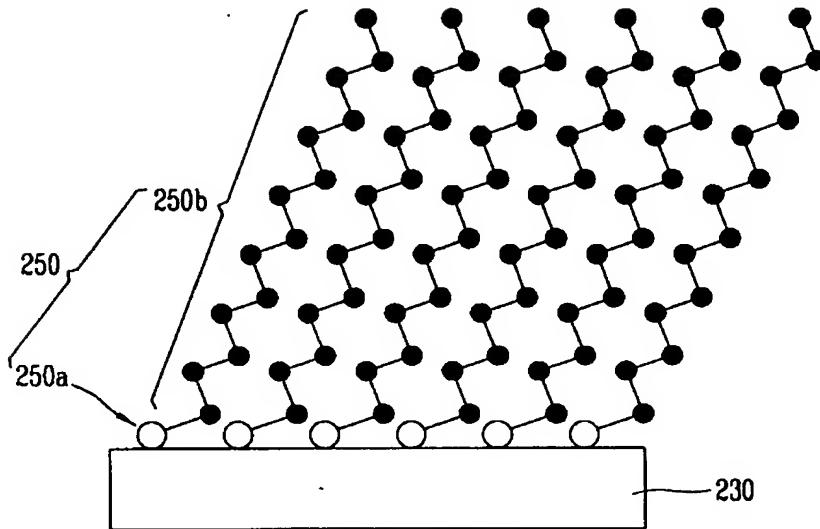
【도 5c】



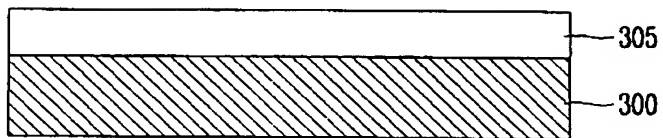
【도 5d】



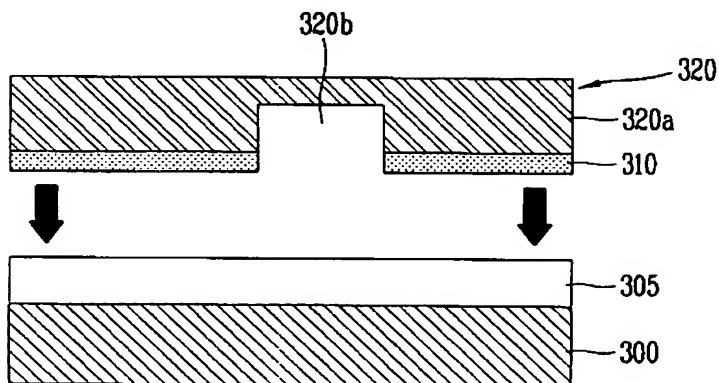
【도 6】



【도 7a】

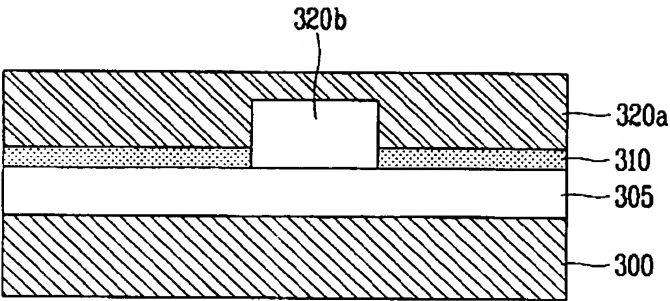


【도 7b】





【도 7c】



【도 7d】

